

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-110293

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

G06F 12/14

G11C 16/02

(21)Application number : 09-264184

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.09.1997

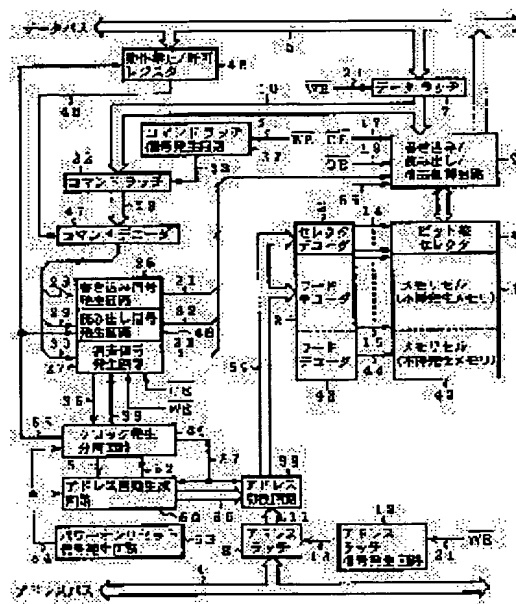
(72)Inventor : HAMAKAWA AKIRA

(54) NONVOLATILE MEMORY CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To inhibit an outsider from erasing easily the contents which are stored in a memory cell by inhibiting the operations that are designated by the data which designate the inhibition of at least one of data writing, reading and erasing operations to a nonvolatile memory.

SOLUTION: When a clock generation dividing circuit 49 outputs an operation inhibition/authorization register reading request signal on a signal line 55, the data which are read out of a memory cell 42 are outputted to a data bus 5 via a data writing/reading/erasing control circuit 9 and also stored in an operation inhibition/authorization register 45. Thus, these data are written into the register 45 in a power on reset mode and thereafter the contents of a memory cell 1 cannot be erased when the data are written into the cell 42 storing the data on the register 45 to inhibit its erasing operation.



LEGAL STATUS

[Date of request for examination]

14.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-110293

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁸

G 0 6 F 12/14

G 1 1 C 16/02

識別記号

3 1 0

F I

G 0 6 F 12/14

G 1 1 C 17/00

3 1 0 F

6 0 1 P

審査請求 未請求 請求項の数5 O L (全 16 頁)

(21) 出願番号 特願平9-264184

(22) 出願日 平成9年(1997) 9月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 浜川 彰

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

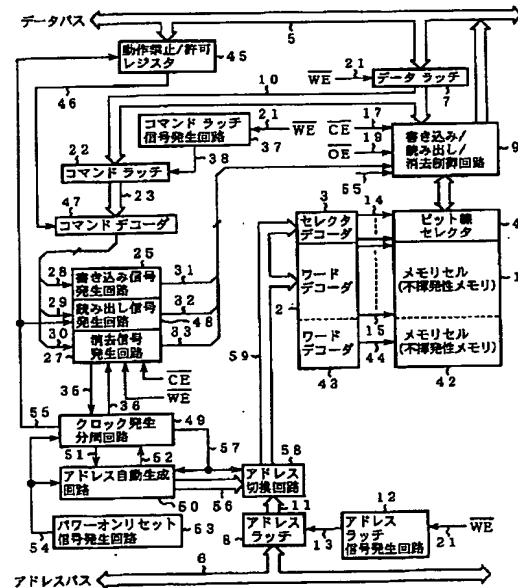
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 不揮発性メモリ制御回路

(57) 【要約】

【課題】 メモリセルに書き込んでおいた重要なデータやプログラムが、第三者によって簡単に消去されてしまう恐れがあった。

【解決手段】 不揮発性メモリ制御回路は、電源投入時に不揮発性メモリの所定のアドレスのデータを読み出し、そのデータが不揮発性メモリへのデータの書き込み動作/読み出し動作/消去動作のうち少なくとも一動作の禁止を指示するデータである場合、このデータによって禁止を指示された動作を禁止する。



9: 書き込み/読み出し/消去制御回路 (書き込み/読み出し/消去手段、第1の書き込み/読み出し/消去手段)
45: 動作禁止/許可レジスタ (レジスタ)
49: クロック発生分周回路 (データ読み出し指示手段)
50: アドレス自動生成回路 (アドレス信号発生手段)

【特許請求の範囲】

【請求項1】 データを電氣的に書き込み、書き込まれたデータを読み出し、かつ書き込まれたデータを消去することが可能な不揮発性メモリと、

該不揮発性メモリへのデータの書き込み、又は該不揮発性メモリからのデータの読み出し若しくは消去を行う書き込み／読み出し／消去手段と、

電源投入時に前記不揮発性メモリの所定のアドレスを指定するアドレス信号を発生するアドレス信号発生手段と、

該アドレス信号発生手段の発生した前記アドレス信号で指定された前記所定のアドレスのデータを読み出すことを前記書き込み／読み出し／消去手段に指示する信号を発生するデータ読み出し指示手段と、

前記書き込み／読み出し／消去手段の動作を指示するコマンドをデコードすると共に、前記データ読み出し指示手段の指示により前記所定のアドレスから読み出した前記データが前記不揮発性メモリへのデータの書き込み動作、読み出し動作及び消去動作のうちの少なくとも一動作の禁止を指示するデータである場合に、該データにより禁止を指示された動作を禁止するコマンドデコーダとを備えたことを特徴とする不揮発性メモリ制御回路。

【請求項2】 書き込み／読み出し／消去手段が読み出した不揮発性メモリの所定のアドレスのデータを一時的に保持するレジスタを更に設けたことを特徴とする請求項1記載の不揮発性メモリ制御回路。

【請求項3】 アドレス信号発生手段が第1及び第2の所定のアドレスを指定するアドレス信号を発生し、データ読み出し指示手段が前記第1及び第2の所定のアドレスに格納されたデータをそれぞれ読み出すことを指示する信号を発生し、

コマンドデコーダが、前記第1の所定のアドレスから読み出したデータが操作者が入力したパスワードと同一ではない場合に以後の前記不揮発性メモリへのデータの書き込み動作、読み出し動作及び消去動作を禁止し、かつ前記第2の所定のアドレスから読み出したデータが前記動作の禁止を指示するデータである場合に、該データにより禁止を指示された動作を禁止することを特徴とする請求項1記載の不揮発性メモリ制御回路。

【請求項4】 データを電氣的に書き込み、書き込まれたデータを読み出し、かつ書き込まれたデータを消去することが可能な不揮発性メモリと、該不揮発性メモリへのデータの書き込み、又は該不揮発性メモリからのデータの読み出し若しくは消去を行う書き込み／読み出し／消去手段と、該書き込み／読み出し／消去手段の動作を指示する異なる種類の体系のコマンドをデコードする少なくとも2個のコマンドデコーダと、

入力されたコマンドをデコードするコマンドデコーダを選択する選択手段とを備えたことを特徴とする不揮発性

メモリ制御回路。

【請求項5】 データを電氣的に書き込み、書き込まれたデータを読み出し、かつ書き込まれたデータを消去することが可能な第1の不揮発性メモリと、

該第1の不揮発性メモリへのデータの書き込み、又は該第1の不揮発性メモリからのデータの読み出し若しくは消去を行う第1の書き込み／読み出し／消去手段と、

データを電氣的に書き込み、書き込まれたデータを読み出し、かつ書き込まれたデータを消去することが可能な第2の不揮発性メモリと、

該第2の不揮発性メモリへのデータの書き込み、又は該第2の不揮発性メモリからのデータの読み出し若しくは消去を行う第2の書き込み／読み出し／消去手段と、

電源投入時に前記第2の不揮発性メモリの所定のアドレスを指定するアドレス信号を発生するアドレス信号発生手段と、

該アドレス信号発生手段の発生した前記アドレス信号で指定された前記第2の不揮発性メモリの所定のアドレスのデータを読み出すことを前記第2の書き込み／読み出し／消去手段に指示する信号を発生するデータ読み出し指示手段と、

前記第1及び第2の書き込み／読み出し／消去手段の動作を指示するコマンドをデコードすると共に、前記データ読み出し指示手段の指示により前記所定のアドレスから読み出した前記データが前記第1の不揮発性メモリへのデータの書き込み動作、読み出し動作及び消去動作のうちの少なくとも一動作の禁止を指示するデータである場合に、前記第1の書き込み／読み出し／消去手段の該データにより禁止を指示された動作を禁止するコマンドデコーダとを備えたことを特徴とする不揮発性メモリ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、主として電氣的にデータの書き込み及び消去が可能な不揮発性メモリを制御する不揮発性メモリ制御回路に関するものである。

【0002】

【従来の技術】図14は従来の不揮発性メモリ制御回路を示す構成図であり、図において、1はデータを電氣的に書き込み又は消去することのできるフラッシュメモリ等の不揮発性メモリのメモリセル、2はメモリセル1の水平方向のアドレスの選択を行うワード線をデコードするためのワードデコーダ、3はメモリセル1の垂直方向のアドレスの選択を行うビット線セクタ4をデコードするためのセクタデコーダ、4はセクタデコーダ3から出力されるセクタデコード信号に基づいてビット線の選択を行うビット線セクタである。

【0003】また、5はデータバス、6はアドレスバス、7はデータバス5に送信されるメモリ制御コマンドやメモリセル1への書き込みデータをラッチするための

データラッチ、8はメモリセル1の読み出しや書き込みを行うアドレスを指定するアドレス信号をラッチするためのアドレスラッチ、9はメモリセル1へのデータの書き込み若しくは読み出し又は消去動作を行う書き込み／読み出し／消去制御回路、10はデータバス、11はアドレスバス、12はアドレスバス6上のアドレス信号をアドレスラッチ8によりラッチするためのアドレスラッチ信号を発生させるアドレスラッチ信号発生回路、13はアドレスラッチ信号を伝達する信号線、14はセクタデコーダ3から出力されるセクタデコード信号を伝達するセクタデコード線、15はワードデコーダ2から出力されるワードデコード信号を伝達するワードデコード線である。

【0004】さらに、16はこの不揮発性メモリ制御回路が動作することを許可するための信号であるチップイネーブル信号CEバーを発生させるチップイネーブル信号発生回路、17はチップイネーブル信号発生回路16で発生させたチップイネーブル信号CEバーを伝達する信号線、18はメモリセル1から読み出したデータを書き込み／読み出し／消去制御回路9を介してデータバス5に出力することを許可するための信号であるアウトブットイネーブル信号OEバーを発生させるアウトブットイネーブル信号発生回路、19はアウトブットイネーブル信号OEバーを伝達する信号線、20はこの不揮発性メモリ制御回路の外部から不揮発性メモリ制御回路に入力されるコマンドデータやメモリセル1への書き込みデータをラッチさせるための信号であるライトイネーブル信号WEバーを発生させるライトイネーブル信号発生回路、21はライトイネーブル信号発生回路20の発生したライトイネーブル信号WEバーを伝達する信号線である。

【0005】さらに、22はデータバス10上のコマンドデータをラッチするコマンドラッチ、23はデータバス、24はデータバス23を介して入力されたコマンドデータが書き込み動作を指示するコマンドか、読み出し動作を指示するコマンドか、消去動作を指示するコマンドかを判断するためのコマンドデコーダ、25はメモリセル1へデータを書き込むための書き込み信号を発生させる書き込み信号発生回路、26はメモリセル1からデータを読み出すための読み出し信号を発生させる読み出し信号発生回路、27はメモリセル1上のデータを消去するための消去信号を発生させる消去信号発生回路、28、29、30はコマンドデコーダ24から発生されたコマンドデコード信号を伝達する信号線、31、32、33は書き込み信号、読み出し信号、消去信号をそれぞれ伝達する信号線である。

【0006】さらに、34はメモリセル1の書き込み／読み出し／消去動作の基準となるクロックを発生させるクロック発生分周回路、35、36はクロックを伝達する信号線、37はコマンドラッチ信号を発生させるコマ

ンドラッチ信号発生回路、38はコマンドラッチ信号を伝達する信号線である。

【0007】次に動作について説明する。図15は図14に示した従来の不揮発性メモリ制御回路において、メモリセル1へデータを書き込む時のタイミングを示すタイミングチャートであり、図15において、39はコマンドラッチ信号発生回路37から信号線38上に出力されるコマンドラッチ信号、40はアドレスラッチ信号発生回路12から信号線13上に出力されるアドレスラッチ信号である。

【0008】メモリセル1へのデータの書き込み動作は、データバス5上の書き込みコマンドの処理（第1サイクル）と書き込みデータの処理（第2サイクル）を2サイクルの動作として行う。具体的には、まず第1サイクル目のコマンド入力動作を行うために、信号線17上のチップイネーブル信号CEバーを論理値“1”から論理値“0”に変化させ、続いて信号線21上のライトイネーブル信号WEバーを論理値“1”から論理値“0”に変化させ、書き込み／読み出し／消去制御回路9をコマンド入力待ち状態にする。次に書き込み動作を行うためのコマンドデータ“40H”（Hは16進法による表記であることを表す）をこの不揮発性メモリ制御回路の外部から入力し、ライトイネーブル信号WEバーを論理値“0”から論理値“1”にすることにより、信号線38上にコマンドラッチ信号39が出力され、コマンドラッチ22はコマンドデータ“40H”をラッチする。コマンドラッチ信号39は第1サイクル目のこのタイミングでのみ1バルス出力される。コマンドデータをラッチすると、コマンドデコーダ24がコマンドデータをデコードして、信号線28上の書き込みコマンドデコード信号を論理値“1”に立ち上げる。続いて信号線17上のチップイネーブル信号CEバーを論理値“0”から論理値“1”に立ち上げることににより、第1サイクル目のコマンド入力動作が終了する。

【0009】次に第2サイクル目の書き込みアドレスデータと書き込みデータの入力を行う。例えばメモリセル1中の“4000H”アドレスに“00H”のデータを書き込む場合、メモリ外部よりアドレス信号“4000H”をアドレスバス6に入力したまま、信号線17上のチップイネーブル信号CEバーを論理値“1”から論理値“0”、信号線21上のライトイネーブル信号WEバーを論理値“1”から論理値“0”にと順次変化させることににより、ライトイネーブル信号WEバーが論理値“0”に立ち下がる時に、アドレスラッチ信号発生回路12から信号線13上にアドレスラッチ信号40が出力され、メモリセル1の書き込みアドレスがアドレスラッチ8にラッチされる。なお、アドレス信号“4000H”がアドレスバス6に入力された時点で、アドレス“4000H”に対応するセクタデコード線14とワードデコード線15とは論理値“1”となっているが、

アドレスラッチ信号40が出力された時点で、このセレクトデコード線14とワードデコード線15の選択が確定する。

【0010】次に外部より書き込みデータ“00H”をデータバス5に入力し、ライトイネーブル信号WEバーを論理値“0”から論理値“1”に変化させることにより、データラッチ7にデータ“00H”をラッチする。書き込みアドレスと書き込みデータとをアドレスラッチ8とデータラッチ7にそれぞれラッチすると、書き込み信号発生回路25から、信号線31上に書き込み信号が出力され、同時に信号線35上にクロック発生分周回路34を起動する信号が出力される。アドレス“4000H”に対応したセレクトデコード線14及びワードデコード線15上のデコード信号は論理値“1”となっているので、メモリセル1のアドレス“400H”にデータ“00H”が格納される。書き込み信号は、クロック発生分周回路34から信号線36上に出力されるクロック信号を書き込み信号発生回路25でカウントして所定の値となったときに論理値“0”に立ち下がる。

【0011】図16は図14に示した従来の不揮発性メモリ制御回路において、メモリセル1からデータを読み出す時のタイミングを示すタイミングチャートである。データ読み出し時、データ書き込み時と同様に、コマンド入力是最初の1サイクルのみで行う。データを読み出す手順としては、最初にチップイネーブル信号CEバーが論理値“0”を取って、書き込み／読み出し／消去制御回路9が入力待ち状態となり、続いてライトイネーブル信号WEバーが論理値“0”となって、データラッチ7を介してデータバス10上に読み出しコマンドデータ“10H”が入力され、コマンドラッチ22を介してデータバス23上に出力される。

【0012】この状態でライトイネーブル信号WEバーが論理値“1”に立ち上がると、コマンドラッチ信号発生回路37からコマンドラッチ信号39が出力され、読み出しコマンドデータ“10H”がコマンドラッチ22にラッチされる。コマンドデコーダ24は、データバス23上にラッチされたデータが読み出しコマンドであることを判断し、信号線29上に論理値“1”の信号を出力する。読み出し信号発生回路26は信号線29上の信号を受けて、信号線32上に論理値“1”の読み出し要求信号を出力する。書き込み／読み出し／消去制御回路9は読み出し要求信号によって読み出し制御状態に切り換わる。

【0013】続いて、アドレスデータ“4000H”がアドレスバス6に入力され、アドレスラッチ8を介してアドレスバス11に出力され、チップイネーブル信号CEバーが論理値“0”に立ち下がった時点で、ワードデコーダ2、セレクトデコーダ3、ビット線セレクト4により、アドレス“4000H”に対応したセレクトデコード線14及びワードデコード線15が論理値“1”と

なる。続いて信号線19上のアウトプットイネーブル信号OEバーが論理値“0”に立ち下がり、書き込み／読み出し／消去制御回路9が読み出し動作を開始することにより、メモリセル1のアドレス“4000H”に格納されたデータが読み出され、データバス5上に出力される。

【0014】図17は図14に示した従来の不揮発性メモリ制御回路において、メモリセル1からデータを消去する時のタイミングを示すタイミングチャートである。図17において、41はコマンドラッチ信号発生回路37から信号線38上に出力される2サイクル目のコマンドラッチ信号である。消去動作は、書き込み動作と同様のタイミングで、2サイクル分のデータラッチを行うことによって実行される。消去時の手順としては、第1サイクル目のコマンド入力動作で最初に消去コマンドデータ“20H”をコマンドラッチ22にラッチし、第2サイクル目のコマンド入力動作で再度消去コマンドデータ“20H”をコマンドラッチ22にラッチすることにより、コマンドデコーダ24から信号線30上に2回の連続したデコード信号を受けた消去信号発生回路27が信号線33上に消去信号を出力する。これにより、メモリセル1全体の消去を行うように構成されている。信号線33上の消去信号は、クロック発生分周回路34から出力される信号線36上のクロック信号を消去信号発生回路27でカウントして、カウント値が所定の値となったとき論理値“0”に立ち下がる。

【0015】

【発明が解決しようとする課題】従来の不揮発性メモリ制御回路は以上のように構成されているので、あらかじめ設定された書き込みや読み出し、消去のコマンドデータを決まった手順で入力すれば、誰もが必ず各動作を行えるようになっている。しかし、誰もが必ず上記の動作を行える反面、メモリセルに書き込んだデータを誰もが消去可能なため、メモリセルに書き込んでおいた重要なデータやプログラムが、その重要性を知らない第三者の手によって簡単に消去されてしまう恐れがあるという課題があった。

【0016】この発明は上記のような課題を解決するためになされたもので、第三者が簡単にメモリセルに格納された内容を消去できないようにすることのできる不揮発性メモリ制御回路を得ることを目的とする。

【0017】

【課題を解決するための手段】この発明に係る不揮発性メモリ制御回路は、電源投入時に不揮発性メモリの所定のアドレスのデータを読み出し、そのデータが不揮発性メモリへのデータの書き込み動作／読み出し動作／消去動作のうち少なくとも一動作の禁止を指示するデータである場合、このデータによって禁止を指示された動作を禁止するものである。

【0018】この発明に係る不揮発性メモリ制御回路

は、不揮発性メモリの所定のアドレスのデータを一時的に保持するレジスタを更に設けたものである。

【0019】この発明に係る不揮発性メモリ制御回路は、不揮発性メモリの第1の所定のアドレスに格納された予め設定したパスワードが入力されたときであって、しかも不揮発性メモリの第2の所定のアドレスに格納されたデータが不揮発性メモリへのデータの書き込み／読み出し／消去を禁止するデータでない場合に、不揮発性メモリに書き込み／読み出し／消去の動作を行えるものである。

【0020】この発明に係る不揮発性メモリ制御回路は、異なる種類の体系のコマンドをデコードする少なくとも2個のコマンドデコーダを備え、コマンドの種類を選択し得るようにしたものである。

【0021】この発明に係る不揮発性メモリ制御回路は、通常のデータを格納する第1の不揮発性メモリと、この第1の不揮発性メモリへのデータの書き込み／読み出し／消去の動作を禁止するためのデータを格納する第2の不揮発性メモリとを備えたものである。

【0022】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による不揮発性メモリ制御回路の構成の一部を示すブロック図であり、図において、1はデータを電気的に書き込み又は消去することのできるフラッシュメモリ等の不揮発性メモリのメモリセル（不揮発性メモリ）、2はメモリセル1の水平方向のアドレスの選択を行うワード線をデコードするためのワードデコーダ、3はメモリセル1の垂直方向のアドレスの選択を行うビット線セクタ4をデコードするためのセクタデコーダ、4はセクタデコーダ3から出力されるセクタデコード信号に基づいてビット線の選択を行うビット線セクタである。

【0023】また、5はデータバス、6はアドレスバス、7はデータバス5に送信されるメモリ制御コマンドやメモリセル1への書き込みデータをラッチするためのデータラッチ、8はメモリセル1の読み出しや書き込みを行うアドレスを指定するアドレス信号をラッチするためのアドレスラッチ、9はメモリセル1へのデータの書き込み若しくは読み出し又は消去動作を行う書き込み／読み出し／消去制御回路（書き込み／読み出し／消去手段）、10はデータバス、11はアドレスバス、12はアドレスバス6上のアドレス信号をアドレスラッチ8によりラッチするためのアドレスラッチ信号を発生させるアドレスラッチ信号発生回路、13はアドレスラッチ信号を伝達する信号線、14はセクタデコーダ3から出力されるセクタデコード信号を伝達するセクタデコード線、15はワードデコーダ2から出力されるワードデコード信号を伝達するワードデコード線である。

【0024】さらに、17はチップイネーブル信号CE

バーを伝達する信号線、19はアウトプットイネーブル信号OEバーを伝達する信号線、21はライトイネーブル信号WEバーを伝達する信号線である。

【0025】さらに、22はデータバス10上のコマンドデータをラッチするコマンドラッチ、23はデータバス、25はメモリセル1へデータを書き込むための書き込み信号を発生させる書き込み信号発生回路、27はメモリセル1上のデータを消去するための消去信号を発生させる消去信号発生回路、28、29、30はコマンドデコーダ47から発生されたコマンドデコード信号を伝達する信号線、31、32、33は書き込み信号、読み出し信号、消去信号をそれぞれ伝達する信号線である。

【0026】さらに、35、36はクロックを伝達する信号線、37はコマンドラッチ信号を発生させるコマンドラッチ信号発生回路、38はコマンドラッチ信号を伝達する信号線である。

【0027】さらに、42は動作禁止／許可レジスタ45に格納するデータを書き込むためのメモリセル1中の特定のアドレスのメモリセル、43はワードデコーダ2の一部として設けられた、メモリセル42からデータを読み出すための専用のワードデコーダ、44はワードデコーダ43から出力されるワードデコード信号を伝達するワードデコード線、45はメモリセル1へのデータの書き込み若しくは読み出し又は消去動作を許可又は禁止することを示すデータを格納する動作禁止／許可レジスタ（レジスタ）、46は動作禁止／許可レジスタ45から読み出したデータを伝達する信号線、47はデータバス23を介して入力されたコマンドデータが書き込み動作を指示するコマンドか、読み出し動作を指示するコマンドか、消去動作を指示するコマンドか、動作禁止又は動作許可を示すデータかを判断するためのコマンドデコーダ、48はメモリセル1及びメモリセル42からデータを読み出すための読み出し信号を発生する読み出し信号発生回路である。

【0028】さらに、49はメモリセル1及びメモリセル42の書き込み／読み出し／消去動作の基準となるクロックを発生させ、パワーオンリセット信号発生回路53から制御信号の入力を受け、かつ動作禁止／許可レジスタ45、読み出し信号発生回路48、アドレス自動生成回路50、アドレス切回路58に対する制御信号を出力するクロック発生分周回路（データ読み出し指示手段）、50は電源投入時に発生されるリセット信号とクロック発生分周回路49からのクロック信号によってメモリセル1及びメモリセル42に対して自動的にアドレス信号を発生するアドレス自動生成回路（アドレス信号発生手段）、51、52はクロック信号を伝達する信号線、53は電源投入時に周辺回路に対して自動的にリセット信号を出力するパワーオンリセット信号発生回路、54はパワーオンリセット信号発生回路53で発生させられたリセット信号を伝達する信号線である。

【0029】さらに、55はクロック発生分周回路49で発生させられた制御信号を伝達する信号線、56はアドレス自動生成回路で自動生成されたアドレス信号を伝達するためのアドレスバス、57はクロック発生分周回路49で発生させられた制御信号を伝達する信号線、58は外部から入力されるアドレスバス6上のアドレス信号とアドレス自動生成回路50で生成されるアドレスバス56上のアドレス信号とを切り換えるためのアドレス切替回路、59はアドレス切替回路58で切り換えて出力されたアドレス信号を伝達するアドレスバスである。

【0030】図2は図1中の動作禁止/許可レジスタ45、コマンドラッチ22、コマンドデコーダ47の各回路について詳しく示した回路図であり、図において、60、62はNAND回路、61、63はNOT回路、64はコマンドデコーダ47中の消去コマンドをデコードする消去コマンドデコーダである。図3は図1中の通常使用メモリセル1と動作禁止/許可レジスタデータ格納メモリセル42との関係をアドレスマップの形式で示した図である。本発明における実施の形態1のメモリセル1は領域“4000H”から“FFFFH”までの領域であり、動作禁止/許可のためのメモリセルは領域“3FFFH”である。図4は図1に示す不揮発性メモリ制御回路において、動作禁止/許可レジスタ45へのデータ読み出しタイミングについて示したタイミングチャートである。図5は図1に示す不揮発性メモリ制御回路において、消去動作を禁止した場合の動作タイミングについて示したタイミングチャートである。

【0031】次に動作について説明する。まず、動作禁止/許可レジスタ45にデータを格納するためのメモリセル42からのデータ読み出し及び動作禁止/許可レジスタ45へのデータ格納方法を図1及び図4を用いて説明する。

【0032】図1において、電源投入時、電源電圧が上がり切るとパワーオンリセット信号発生回路53からパワーオンリセット信号が信号線54上に出力される。パワーオンリセット信号が論理値“1”となることにより、クロック発生分周回路49が動作を開始し、信号線51上にクロック信号を出力する。このクロック信号の入力によって、アドレス自動生成回路50は、動作禁止/許可レジスタデータの格納されているメモリセル42のアドレス“3FFFH”を示すアドレス信号をアドレスバス56上に出力する。

【0033】次に、クロック発生分周回路49は、アドレス切替回路58に対し、自動生成アドレス側への切り換え要求信号を信号線57上に出力し、アドレス自動生成回路50で生成されるアドレスバス56上のアドレス信号を選択することによりメモリデコード用アドレスバス59上の値が“3FFFH”となり、“3FFFH”のアドレスに対応したワードデコード線44及びセレクトデコード線14が論理値“1”となり、メモリセル4

2が選択される。

【0034】さらに、クロック発生分周回路49が信号線55上に動作禁止/許可レジスタ読み出し要求信号を出力することにより、メモリセル42から読み出されたデータが書き込み/読み出し/消去制御回路9を介してデータバス5に出力され、また、動作禁止/許可レジスタ45へこのデータが格納される。

【0035】続いて、動作禁止/許可レジスタ45へのデータ格納後の消去動作について図2及び図5を用いて説明する。動作禁止/許可レジスタ45及びコマンドデコーダ47の内の消去コマンドデコーダ64は図2に示すような回路構成となっている。図2において、動作禁止/許可レジスタ45のbit0を消去動作禁止/許可ビットに割り当てており、このbit0の値が論理値“0”のときには、信号線46上の信号レベルが論理値“0”となっているため、信号線30上の消去信号は論理値“0”に固定される。この働きにより図5の消去動作タイミング図において、消去コマンドデータ“20H”は第1サイクル目、第2サイクル目ともにコマンドラッチ22にラッチされているが、消去動作禁止/許可ビットbit0のデータが論理値“0”であるため、信号線33上に消去信号が出力されず、メモリセル1の消去は不可能となる。

【0036】即ち、メモリセル1にプログラムやデータを書き込んだ後、動作禁止/許可レジスタのデータを格納するメモリセル42に論理値“0”のデータを書き込んでおけば、メモリセル1に書き込んだデータは消去されることはない。なお、この実施の形態では、図3のように、動作禁止/許可データを格納したメモリセル42のアドレスを“3FFFH”としたが、このアドレスは通常使用するメモリの領域外であれば、どの領域に設定してもよい。

【0037】次に、データの書き込み及び読み出し動作について説明する。この場合には、電源投入後のパワーオンリセットの後、前述の図4に示した動作と同様に、自動的に“3FFFH”のアドレスに対応したメモリより動作禁止/許可レジスタ45へデータが格納される。その後、クロック発生分周回路49は、アドレス切替回路58に対し、アドレスラッチ8側への切り換え要求信号を信号線57上に出力し、アドレスバス6を介して外部から入力されるアドレス信号を選択する。

【0038】図6はこの実施の形態1の不揮発性メモリ制御回路において、メモリセル1へデータを書き込む時のタイミングを示すタイミングチャートであり、図6において、39はコマンドラッチ信号発生回路37から信号線38上に出力されるコマンドラッチ信号、40はアドレスラッチ信号発生回路12から信号線13上に出力されるアドレスラッチ信号である。

【0039】メモリセル1へのデータの書き込み動作は、データバス5上の書き込みコマンドの処理（第1サ

10

20

30

40

50

イクル)と書き込みデータの処理(第2サイクル)を2サイクルの動作として行う。具体的には、まず第1サイクル目のコマンド入力動作を行うために、信号線17上のチップイネーブル信号CEバーを論理値“1”から論理値“0”に変化させ、続いて信号線21上のライトイネーブル信号WEバーを論理値“1”から論理値“0”に変化させ、書き込み/読み出し/消去制御回路9をコマンド入力待ち状態にする。次に書き込み動作を行うためのコマンドデータ“40H”(Hは16進法による表記であることを表す)をこの不揮発性メモリ制御回路の外部から入力し、ライトイネーブル信号WEバーを論理値“0”から論理値“1”にすることにより、信号線38上にコマンドラッチ信号39が出力され、コマンドラッチ22はコマンドデータ“40H”をラッチする。コマンドラッチ信号39は第1サイクル目のこのタイミングでのみ1パルス出力される。コマンドデータをラッチすると、コマンドデコーダ47がコマンドデータをデコードして、信号線28上の書き込みコマンドデコード信号を論理値“1”に立ち上げる。続いて信号線17上のチップイネーブル信号CEバーを論理値“0”から論理値“1”に立ち上げることににより、第1サイクル目のコマンド入力動作が終了する。

【0040】次に第2サイクル目の書き込みアドレスデータと書き込みデータの入力を行う。例えばメモリセル1中の“4000H”のアドレスに“00H”のデータを書き込む場合、メモリ外部よりアドレス信号“4000H”をアドレスバス6に入力したまま、信号線17上のチップイネーブル信号CEバーを論理値“1”から論理値“0”、信号線21上のライトイネーブル信号WEバーを論理値“1”から論理値“0”にと順次変化させることににより、ライトイネーブル信号WEバーが論理値“0”に立ち下がる時に、アドレスラッチ信号発生回路12から信号線13上にアドレスラッチ信号40が出力され、メモリセル1の書き込みアドレスがアドレスラッチ8にラッチされる。なお、アドレス信号“4000H”がアドレスバス6上に入力された時点で、アドレス“4000H”に対応するセクタデコード線14とワードデコード線15とは論理値“1”となっているが、アドレスラッチ信号40が出力された時点で、このセクタデコード線14とワードデコード線15の選択が確定する。

【0041】次に外部より書き込みデータ“00H”をデータバス5に入力し、ライトイネーブル信号WEバーを論理値“0”から論理値“1”に変化させることににより、データラッチ7にデータ“00H”をラッチする。書き込みアドレスと書き込みデータとをアドレスラッチ8とデータラッチ7にそれぞれラッチすると、書き込み信号発生回路25から、信号線31上に書き込み信号が出力され、同時に信号線35上にクロック発生分周回路49を起動する信号が出力される。アドレス“4000

H”に対応したセクタデコード線14及びワードデコード線15上のデコード信号は論理値“1”となっているので、メモリセル1のアドレス“400H”にデータ“00H”が格納される。書き込み信号は、クロック発生分周回路49から信号線36上に出力されるクロック信号を書き込み信号発生回路25でカウントして所定の値となったときに論理値“0”に立ち下がる。

【0042】図7はこの実施の形態1の不揮発性メモリ制御回路において、メモリセル1からデータを読み出す時のタイミングを示すタイミングチャートである。データ読み出し時、データ書き込み時と同様に、コマンド入力は最初の1サイクルのみで行う。データを読み出す手順としては、最初にチップイネーブル信号CEバーが論理値“0”を取って、書き込み/読み出し/消去制御回路9が入力待ち状態となり、続いてライトイネーブル信号WEバーが論理値“0”となって、データラッチ7を介してデータバス10上に読み出しコマンドデータ“10H”が入力され、コマンドラッチ22を介してデータバス23上に出力される。

【0043】この状態でライトイネーブル信号WEバーが論理値“1”に立ち上がると、コマンドラッチ信号発生回路37からコマンドラッチ信号39が出力され、読み出しコマンドデータ“10H”がコマンドラッチ22にラッチされる。コマンドデコーダ47は、データバス23上にラッチされたデータが読み出しコマンドであることを判断し、信号線29上に論理値“1”の信号を出力する。読み出し信号発生回路48は信号線29上の信号を受けて、信号線32上に論理値“1”の読み出し要求信号を出力する。書き込み/読み出し/消去制御回路9は読み出し要求信号によって読み出し制御状態に切り換わる。

【0044】続いて、アドレスデータ“4000H”がアドレスバス6に入力され、アドレスラッチ8及びアドレス切回路58を介してアドレスバス59に出力され、チップイネーブル信号CEバーが論理値“0”に立ち下がった時点で、ワードデコーダ2、セクタデコーダ3、ビット線セクタ4により、アドレス“4000H”に対応したセクタデコード線14及びワードデコード線15が論理値“1”となる。続いて信号線19上のアウトプットイネーブル信号OEバーが論理値“0”に立ち下がり、書き込み/読み出し/消去制御回路9が読み出し動作を開始することにより、メモリセル1のアドレス“4000H”に格納されたデータが読み出され、データバス5上に出力される。

【0045】以上のように、この実施の形態1によれば、動作禁止/許可レジスタ45のデータを格納するメモリセル42に消去動作を禁止するデータを書き込むことにより、パワーオンリセット時に動作禁止/許可レジスタにこのデータが書き込まれ、以後のメモリセル1の内容の消去が不可能となり、第三者により不用意にデー

タが消去されてしまうことがないという効果が得られる。なお、書き込み／読み出し／消去を行うためのコマンドデータは前述の値以外のデータを用いても構わない。

【0046】実施の形態2. 図8はこの発明の実施の形態2による不揮発性メモリ制御回路の構成の一部を示す回路図であり、図1に示した実施の形態1の不揮発性メモリ制御回路中の動作禁止／許可レジスタ45、コマンドラッチ22、及びコマンドデコーダ47に相当する部分を示す。図において、65はコマンドデコーダのうち書き込みコマンドをデコードする書き込みコマンドデコーダ、66は読み出しコマンドをデコードする読み出しコマンドデコーダであり、それぞれのデコーダの構成は、図2で示した消去コマンドデコーダ64の構成と同一である。動作禁止／許可レジスタ45のbit0を書き込み禁止／許可ビット、bit1を読み出し禁止／許可ビット、bit2を消去禁止／許可ビットと設定している。それぞれの禁止／許可ビットの配置は任意に設定しても構わない。また、この実施の形態2の不揮発性メモリ制御回路のその他の構成要素は図1に示した実施の形態1の不揮発性メモリ制御回路の構成要素と同一であり、さらに、図8において図2に示した構成要素と同一の構成要素には同一符号を付している。これらの共通の構成要素の説明は省略する。

【0047】次に動作について説明する。実施の形態1では消去コマンドデコーダ64のみにて動作禁止／許可を選択するため、動作禁止／許可レジスタ45のbit0のみにデータを書き込み、消去動作の禁止／許可を決定していたが、この実施の形態2では消去動作だけでなく、書き込みや読み出しの動作についても禁止／許可の選択が可能となる。動作禁止／許可レジスタ45に格納するデータを書き込むメモリセル42は同一アドレスで変わらないため、メモリセル42からの読み出し動作及び動作禁止／許可レジスタ45に格納する動作のタイミングは実施の形態1の動作タイミングと同一である。また、その他の読み出し、書き込み、消去動作のタイミング及び通常の読み出し、書き込み、消去動作のタイミングも実施の形態1の動作タイミングと類似ないし同一であるので、その説明を省略する。

【0048】以上のように、この実施の形態2によれば、メモリセル1に対するデータの上書きや、メモリセル1のデータを読み出し、及びメモリセル1の消去を禁止することができ、メモリセル1の内容をより安全に保持することが可能となる効果が得られる。

【0049】実施の形態3. 図9はこの発明の実施の形態3による不揮発性メモリ制御回路の構成の一部を示すブロック図であり、図において、図1の実施の形態1の構成要素と同一の構成要素には同一符号を付して、その説明を省略する。

【0050】図において、69はパワーオンリセットの

解除後にメモリセル1より読み出したパスワードデータを格納するためのパスワードレジスタ、70はパスワードレジスタ69へのパスワードデータ書き込みを指示する信号を伝達する信号線、71はパスワードコマンドをラッチするためのパスワードラッチ、72はパスワードラッチ71のラッチ信号を発生するラッチ信号発生回路、73はパスワードレジスタ69に格納されたデータとパスワードラッチ71に格納されたデータを比較するためのパスワードデコーダ、74はパスワードレジスタ69とパスワードラッチ71の値が合致したときに論理値“1”を取るパスワードデコード信号を伝達する信号線、75はパスワードレジスタ69から出力されるデータを伝達する信号線、76はパスワードラッチ71へラッチ信号を伝達する信号線である。

【0051】また、77はパスワードレジスタ69に書き込むためのデータを格納するためにメモリセル1の一部に設けられたメモリセル、78はメモリセル77のアドレスを選択した時論理値“1”を取る信号を伝達する信号線、79はパスワードラッチ71から出力されるパスワードを伝達する信号線、80はワードデコーダ2の一部として設けられ、メモリセル77からデータを読み出すための専用のワードデコーダ、81はデータバス23を介して入力されたコマンドデータが書き込み動作を指示するコマンドか、読み出し動作を指示するコマンドか、消去動作を指示するコマンドか、動作禁止又は動作許可を示すデータかをパスワードが一致したときのみ判断するためのコマンドデコーダである。

【0052】図10はこの実施の形態の不揮発性メモリ制御回路における、パスワードレジスタ69及び動作禁止／許可レジスタ45に格納するデータのメモリセル1からの読み出し動作と各レジスタへのデータ格納動作のタイミングを示すタイミングチャートである。また、図11はこの実施の形態の不揮発性メモリ制御回路における、パスワードデータが合致しなかった場合の書き込み動作のタイミングを示すタイミングチャートである。

【0053】次に動作について説明する。まず、パスワードレジスタ69と動作禁止／許可レジスタ45にデータを格納するためのメモリセル42、77からのデータ読み出し及び各レジスタへのデータ格納方法を図9、10を用いて説明する。メモリセル42、77からのデータの読み出し及び各レジスタへのデータ格納方法は、基本的には実施の形態1に述べた方法と同一であるが、この実施の形態ではメモリセル1上の2アドレス（メモリセル42、77）に渡ったデータを連続して読み出し、パスワードレジスタ69と動作禁止／許可レジスタ45に各データを格納する形になっている。

【0054】パスワードデータを格納するメモリ領域は、動作禁止／許可レジスタのデータを格納するアドレス（“3FFFFH”）に連続したアドレス（“3FFEH”）上に配置し、実施の形態1の図4で示したような

読み出し動作を2アドレスのメモリセル42, 77について連続で行う。

【0055】実際にデータを各レジスタに読み込むタイミングは図10に示すように、まず電源投入によって電源電圧が立ち上がると、パワーオンリセット信号発生回路53より信号線54上にパワーオンリセット信号を出力する。このパワーオンリセット信号の立ち上がりにより、クロック発生分周回路49が信号線51上にクロック信号を出力し、アドレス自動生成回路50に入力させる。アドレス自動生成回路50はパスワードデータの格納されているメモリセル77のアドレス“3FFEH”を示すアドレス信号をアドレスバス56上に出力する。

【0056】続いて、クロック発生分周回路49からアドレス切換回路58をアドレス自動生成回路50側に切り換える制御信号を信号線57上に出力し、これによりアドレスバス59上のアドレス信号の値も“3FFEH”となり、“3FFEH”のアドレスに対応したワードデコード線78及びセクタデコード線14上に論理値“1”の信号がビット線セクタ4及びワードデコーダ80からそれぞれ出力される。続いて、クロック発生分周回路49から信号線70上に論理値“1”の信号が出力され、読み出し信号が読み出し信号発生回路48から書き込み/読み出し/消去制御回路9に出力され、メモリセル77に格納されたデータがデータバス5上に読み出されると同時に、信号線70上の論理値“1”の信号はパスワードレジスタ69にも供給されて、データバス5上に読み出されたデータがパスワードレジスタ69に書き込まれる。

【0057】パスワードデータの読み出しに続いて、アドレス自動生成回路50は動作禁止/許可レジスタ45用のデータの格納されているメモリセル1のアドレス“3FFFFH”を出力し、図4に示した実施の形態1の動作と同様な動作で、動作禁止/許可レジスタ45用のデータ格納メモリセル42から読み出されたデータが動作禁止/許可レジスタ45へ格納される。各レジスタへのデータ格納終了後、この不揮発性メモリ制御回路は制御コマンド入力待ちの状態になる。

【0058】次に、パスワードデータ及び動作禁止/許可データを各レジスタに格納後、メモリセル1にデータの書き込み動作を行った場合の動作を図9及び図11を用いて説明する。この時の各レジスタにはそれぞれ、パスワードデータ=“55H”、動作禁止/許可データ=“FFH”が格納されているものとする。パスワードレジスタ69に格納したデータは、パスワードデコーダ73におけるパスワードラッチ71に格納されるデータとの比較に用いる。パスワードレジスタ69にはパスワードデータ“55H”が格納されているため、パスワードラッチ71に格納されるデータが“55H”の時のみパスワードデコーダ73より信号線74上にパスワードデコード信号が出力される。また、コマンドデコーダ81

はパスワードデコード信号が論理値“1”の時のみコマンドラッチ22からのデータをデコードする。

【0059】パスワードコマンドの入力を伴うメモリセル1のデータの書き込み動作は、図11に示すようなタイミングで行われる。パスワードコマンドのラッチ動作は、書き込み/読み出し/消去等のメモリ制御コマンドのラッチタイミングと同様であるが、コマンドの入力順としては、第1サイクル目にパスワードコマンドのラッチを行い、続いて第2サイクル目以降にメモリ制御のコマンドをラッチする。

【0060】まず、第1サイクル目にパスワードコマンド、例えば“AAH”（パスワードレジスタに格納されているデータと異なる値）を入力すると、ラッチ信号発生回路72から信号線76上にラッチ信号82が出力され、パスワードラッチ71にデータ“AAH”が格納される。ここでパスワードレジスタ69のデータ“55H”とパスワードラッチ71に格納されたデータ“AAH”との比較がパスワードデコーダ73において行われる。しかしこの場合には両データが合致しないため、信号線74上のパスワードデコード信号は論理値“0”を取り続ける。

【0061】続いて、第2サイクルで書き込みコマンドデータ“40H”、及び第3サイクルで書き込みアドレス“4000H”と書き込みデータ“00H”とをデータラッチ7及びアドレスラッチ8に格納するが、信号線74上のパスワードデコード信号が論理値“0”であるため、コマンドデコーダ81はコマンドラッチ22からのコマンドデータ“40H”をデコードせず、したがって信号線28上の書き込みコマンドデコード信号も論理値“0”のままである。これによりデータ“00H”の書き込み動作は実行されず、メモリの内容を書き換えることは不可能となる。読み出し、消去の各メモリ制御コマンド入力についても同様で、パスワードコマンドの値がパスワードレジスタ69に格納されているデータと異なる場合には、各メモリ制御コマンドは使用不可能となる。

【0062】パスワードコマンドの値がパスワードレジスタ69に格納されているデータと合致する場合は、信号線74上のパスワードデコード信号は図11の破線のように論理値“1”となり、コマンドデコーダ81は各メモリ制御コマンドのデコードが可能となり、書き込み/読み出し/消去動作が行えるようになる。即ち、パスワードレジスタ69の格納データを知り、パスワードデータを入力できる者、すなわちメモリセル1にデータを書き込んだ者、のみがこのメモリセル1の制御を行えることになり、メモリセル1の内容を安全に保持することが可能となる。

【0063】なお、図11に示した例では、動作禁止/許可レジスタ45に格納された内容は“FFH”とし、パスワードデータ合致後の書き込み/読み出し/消去の

メモリ制御コマンドを全て許可していたが、メモリセル42に任意の値を書き込むことにより、パスワードデータと動作禁止/許可レジスタとを組み合わせた2重の保護、例えばパスワードデータを入力してメモリセル1の内容は読み出し可能だが、動作禁止/許可レジスタによって書き込み/消去は不可能といった形でメモリセル1の内容をより安全に保持することが可能となる。

【0064】以上のように、この実施の形態3によれば、パスワードデータを入力できる者、すなわちメモリセル1にデータを書き込んだ者、のみがこのメモリセル1の制御を行えることになり、メモリセル1の内容を安全に保持することが可能となる効果が得られる。

【0065】実施の形態4. 図12はこの発明の実施の形態4による不揮発性メモリ制御回路の構成の一部を示すブロック図であり、図において、83は動作禁止/許可レジスタ45のbit7に接続され、コマンドデコーダの切り換えを指示する信号を伝達する信号線、84はコマンドラッチ22のデータを2個のコマンドデコーダのいずれか一方に出力するためのコマンドデコーダ切替回路(選択手段)、85、86はコマンドデコーダ切替回路84から出力されるコマンドデータを伝達する信号線、87は一方のコマンドデコーダ、88は他方のコマンドデコーダ、89はコマンドデコーダ87、88に選択信号を伝達する信号線である。本実施の形態の他の構成部分は実施の形態3と同様である。

【0066】次に動作について説明する。実施の形態1及び実施の形態2においては、動作禁止/許可レジスタ45に一度データを書き込んでメモリ制御動作を禁止した場合は、以後は動作禁止/許可レジスタ45により禁止される動作は全く行えなくなる。この実施の形態4においては、従来のコマンド体系のコマンドデコーダ87及び全く異なるコマンド体系のコマンドデコーダ88といった2つのコマンドデコーダを用意し、動作禁止/許可レジスタ45の書き込みデータ、ここでは動作禁止/許可レジスタ45のbit7の値によってコマンドデコーダ87かコマンドデコード88のどちらか一方を選択するようにし、書き込み/読み出し/消去の動作を従来使用していたコマンドデータと異なるデータで受け付けることが可能である。

【0067】以上のように、この実施の形態4によれば、従来のコマンドしか知らない者は書き込み/読み出し/消去が全く不可能となり、メモリの内容を安全に保持することが可能となる効果が得られる。

【0068】実施の形態5. 図13はこの発明の実施の形態5による不揮発性メモリ制御回路の構成の一部を示すブロック図である。この実施の形態は、動作禁止/許可レジスタ45に格納するデータを格納するメモリセルをメモリセル1と物理的に分割して、書き込み/読み出し/消去を行えるようにしたものである。

【0069】図において、90、91、92はコマンド

デコード信号を伝達する信号線、93は動作禁止/許可レジスタ45に格納するデータを格納するメモリセルへのデータの書き込みを指示する書き込み信号を発生する書き込み信号発生回路、94は書き込み信号を伝達する信号線、95は動作禁止/許可レジスタ45に格納するデータを格納したメモリセルからそのデータを読み出すことを指示する読み出し信号を発生する読み出し信号発生回路、96は読み出し信号を伝達する信号線、97は動作禁止/許可レジスタ45に格納するデータを格納するメモリセルのデータの消去を指示する消去信号を発生する消去信号発生回路、98は消去信号を伝達する信号線である。

【0070】また、99は動作禁止/許可レジスタ45に格納するデータを格納するメモリセルの水平方向のアドレスの選択を行うワードデコーダ、100は動作禁止/許可レジスタ45に格納するデータを格納するメモリセルの垂直方向のアドレスの選択を行うビット線セクタをデコードするためのセクタデコーダ、101は動作禁止/許可レジスタ45に格納するデータを格納するメモリセル(第2の不揮発性メモリ)、102はセクタデコーダ100から出力されるセクタデコード信号に基づいてビット線の選択を行うビット線セクタ、103はワードデコーダ99から出力されるワードデコード信号を伝達する信号線、104はセクタデコーダ100から出力されるセクタデコード信号を伝達する信号線、105はメモリセル101へのデータの書き込み若しくは読み出し又は消去動作を行う書き込み/読み出し/消去制御回路(第2の書き込み/読み出し/消去手段)、106はデータバス23を介して入力されたコマンドデータがメモリセル1への書き込み動作を指示するコマンドか、読み出し動作を指示するコマンドか、消去動作を指示するコマンドか、動作禁止若しくは動作許可を示すデータか、又はメモリセル101への書き込み動作を指示するコマンドか、読み出し動作を指示するコマンドか、消去動作を指示するコマンドかを判断するためのコマンドデコーダである。

【0071】次に動作について説明する。上記実施の形態1から実施の形態4では、動作禁止/許可レジスタ45に格納するデータを格納するメモリセル42は通常使用するメモリセル1の一部として存在するため、一度データを書き込んだ後でそのデータを初期状態に戻す必要がある場合、結局はメモリセル1の全領域の消去動作を行うしかない。この実施の形態5では、動作禁止/許可レジスタ45に格納するデータを格納するメモリセル101は通常使用するメモリセル1と物理的に分割して配置し、それぞれのメモリセルに対して書き込み、読み出し、消去の動作を行えるよう別々に信号発生回路及び書き込み/読み出し/消去制御回路を設けている。書き込み、読み出し、消去のコマンドはコマンドデコーダ106によって各メモリセル毎に異なるコマンドコードにて

デコードするようにしており、また動作禁止／許可レジスタ45のデータは通常使用するメモリセル1の側に対する書き込み／読み出し／消去の動作のみに適用される。このため、一度禁止してしまった動作についても、メモリセル101のデータを書き換えることにより、初期状態、即ち動作許可の状態に戻すことが可能である。

【0072】以上のように、この実施の形態5によれば、動作禁止／許可レジスタ45のデータとして誤ったデータを書き込んでしまい、メモリの消去や書き込みが行えなくなっても、このメモリセル101のデータを消去することで改めてデータを書き込むことが可能となる効果が得られる。

【0073】

【発明の効果】以上のように、この発明によれば、電源投入時に不揮発性メモリの所定のアドレスのデータを読み出し、そのデータが不揮発性メモリへのデータの書き込み動作／読み出し動作／消去動作のうち少なくとも一動作の禁止を指示するデータである場合、このデータによって禁止を指示された動作を禁止するように構成したので、第三者によりメモリ内容が消去されたり、データが上書きされたりすることを防ぐことができ、メモリに書き込まれたデータを安全に保持することが可能になる効果がある。

【0074】また、この発明によれば、不揮発性メモリの所定のアドレスのデータを一時的に保持するレジスタを更に設けるように構成したので、多くのバスを引き回すことなく、コマンドデコーダのデコード動作を行うことができる効果がある。

【0075】さらに、この発明によれば、パスワードデータを入力できる者、すなわちメモリセルにデータを書き込んだ者のみがこのメモリセルの制御を行えるように構成したので、メモリセルの内容を安全に保持することが可能となる効果がある。

【0076】さらに、この発明によれば、異なる種類の体系のコマンドをデコードする少なくとも2個のコマンドデコーダを設け、コマンドの種類を選択し得るように構成したので、従来のコマンドしか知らない者は書き込み／読み出し／消去が全く不可能となり、メモリの内容を安全に保持することが可能となる効果がある。

【0077】さらに、この発明によれば、通常のデータを格納する第1の不揮発性メモリと、この第1の不揮発性メモリへのデータの書き込み／読み出し／消去の動作を禁止するためのデータを格納する第2の不揮発性メモリとを設けるように構成したので、第2の不揮発性メモリに誤ったデータを書き込んでしまい、第1の不揮発性メモリの消去や書き込みが行えなくなっても、第2の不揮発性メモリのみのデータを消去することにより改めて第1の不揮発性メモリにデータの書き込み／読み出し／消去を行うことができるようになる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による不揮発性メモリ制御回路の構成の一部を示すブロック図である。

【図2】 図1中の動作禁止／許可レジスタ、コマンドラッチ、コマンドデコーダの各回路について詳しく示した回路図である。

【図3】 図1中の通常使用メモリセルと動作禁止／許可レジスタデータ格納メモリセルとの関係をアドレスマップの形式で示した図である。

【図4】 図1に示す不揮発性メモリ制御回路において、動作禁止／許可レジスタへのデータ読み出しタイミングについて示したタイミングチャートである。

【図5】 図1に示す不揮発性メモリ制御回路において、消去動作を禁止した場合の動作タイミングについて示したタイミングチャートである。

【図6】 図1の不揮発性メモリ制御回路において、メモリセルへデータを書き込む時のタイミングを示すタイミングチャートである。

【図7】 図1の不揮発性メモリ制御回路において、メモリセルからデータを読み出す時のタイミングを示すタイミングチャートである。

【図8】 この発明の実施の形態2による不揮発性メモリ制御回路の構成の一部を示す回路図である。

【図9】 この発明の実施の形態3による不揮発性メモリ制御回路の構成の一部を示すブロック図である。

【図10】 図9の実施の形態3による不揮発性メモリ制御回路における、パスワードレジスタ及び動作禁止／許可レジスタに格納するデータのメモリセルからの読み出し動作と各レジスタへのデータ格納動作のタイミングを示すタイミングチャートである。

【図11】 図9の実施の形態3による不揮発性メモリ制御回路における、パスワードデータが合致しなかった場合の書き込み動作のタイミングを示すタイミングチャートである。

【図12】 この発明の実施の形態4による不揮発性メモリ制御回路の構成の一部を示すブロック図である。

【図13】 この発明の実施の形態5による不揮発性メモリ制御回路の構成の一部を示すブロック図である。

【図14】 従来の不揮発性メモリ制御回路の構成を示すブロック図である。

【図15】 図14に示した従来の不揮発性メモリ制御回路において、メモリセルへデータを書き込む時のタイミングを示すタイミングチャートである。

【図16】 図14に示した従来の不揮発性メモリ制御回路において、メモリセルからデータを読み出す時のタイミングを示すタイミングチャートである。

【図17】 図14に示した従来の不揮発性メモリ制御回路において、メモリセルからデータを消去する時のタイミングを示すタイミングチャートである。

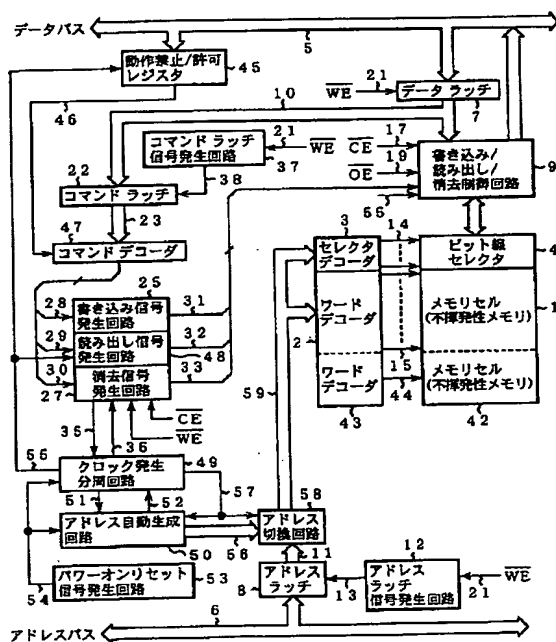
【符号の説明】

1 メモリセル（不揮発性メモリ、第1の不揮発性メモ

21

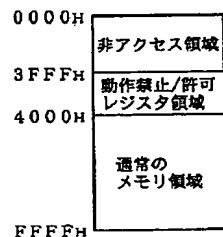
り)、9 書き込み/読み出し/消去制御回路(書き込み/読み出し/消去手段、第1の書き込み/読み出し/消去手段)、42 メモリセル(不揮発性メモリ)、45 動作禁止/許可レジスタ(レジスタ)、47、81、87、88 コマンドデコーダ、49クロック発生分周回路(データ読み出し指示手段)、50 アドレス*

【図1】



9: 書き込み/読み出し/消去制御回路(書き込み/読み出し/消去手段、第1の書き込み/読み出し/消去手段)
45: 動作禁止/許可レジスタ(レジスタ)
49: クロック発生分周回路(データ読み出し指示手段)
50: アドレス自動生成回路(アドレス信号発生手段)

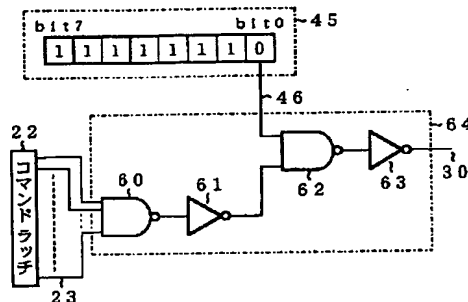
【図3】



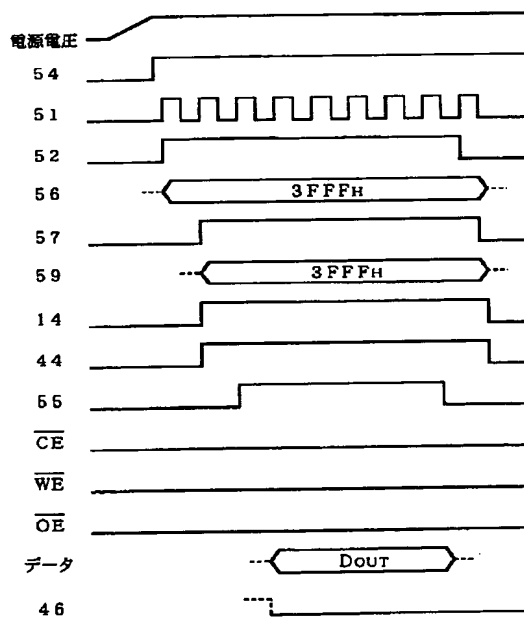
22

* 自動生成回路(アドレス信号発生手段)、84 コマンドデコーダ切換回路(選択手段)、101 メモリセル(第2の不揮発性メモリ)、105 書き込み/読み出し/消去制御回路(第2の書き込み/読み出し/消去手段)。

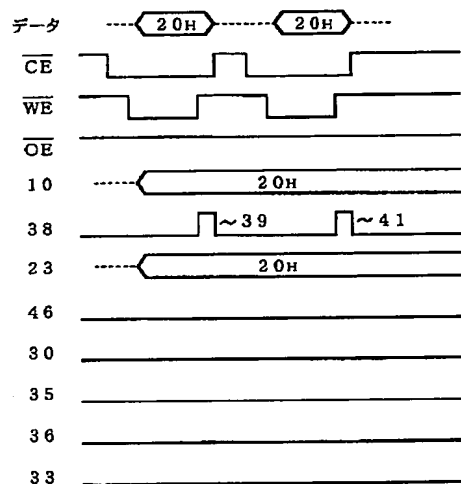
【図2】



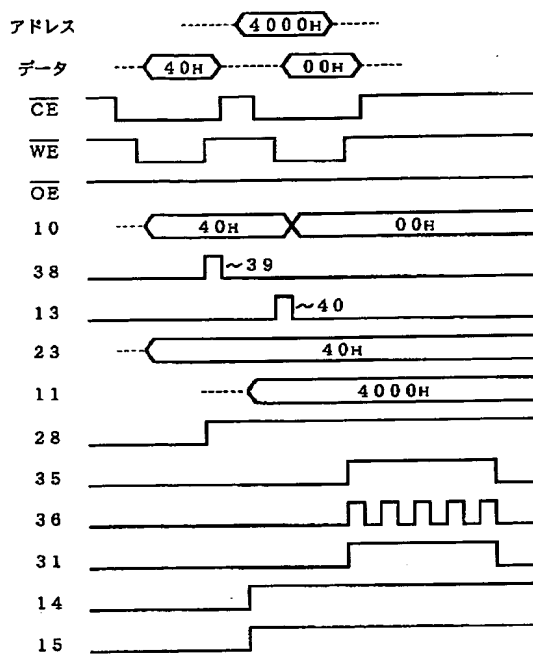
【図4】



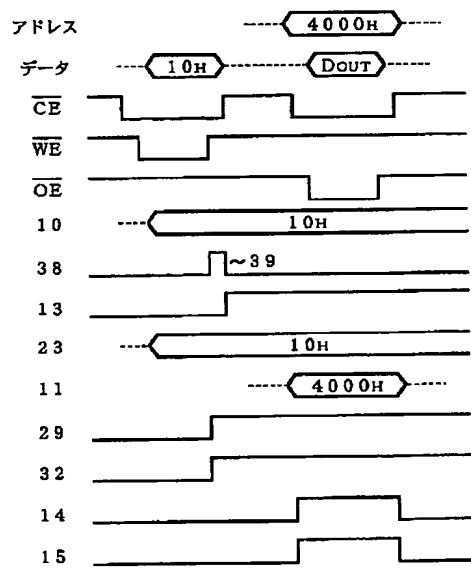
【図5】



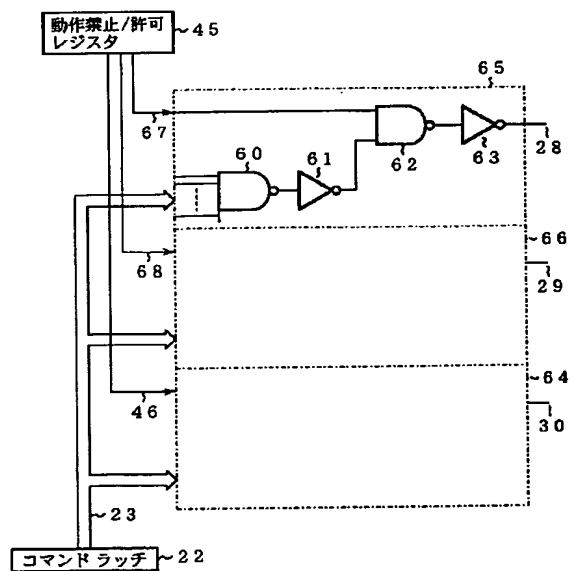
【図6】



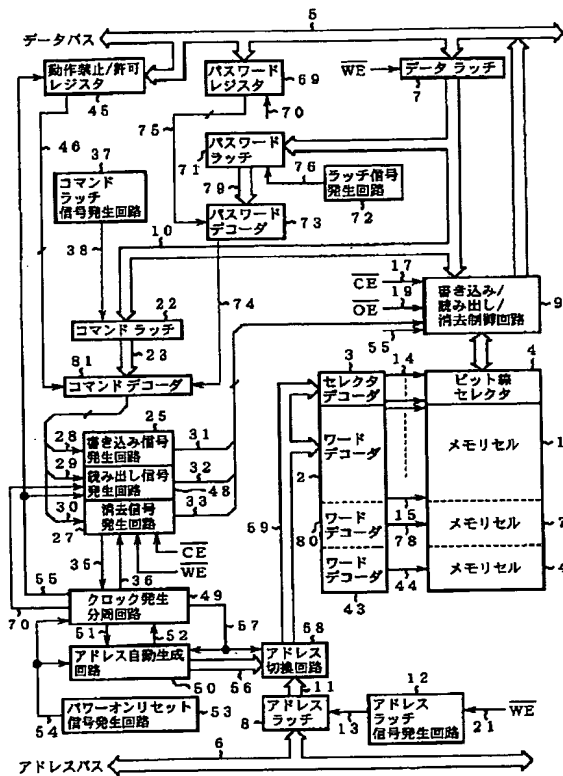
【図7】



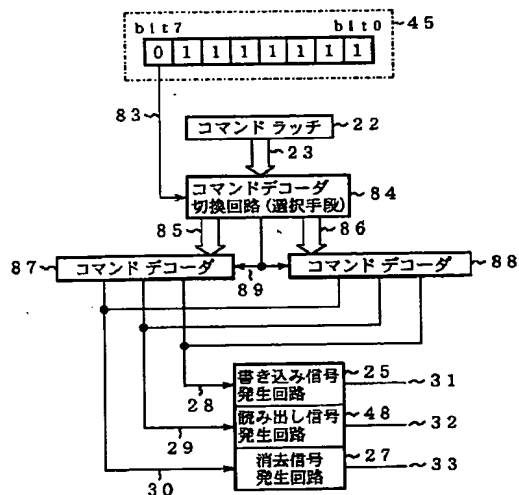
【図8】



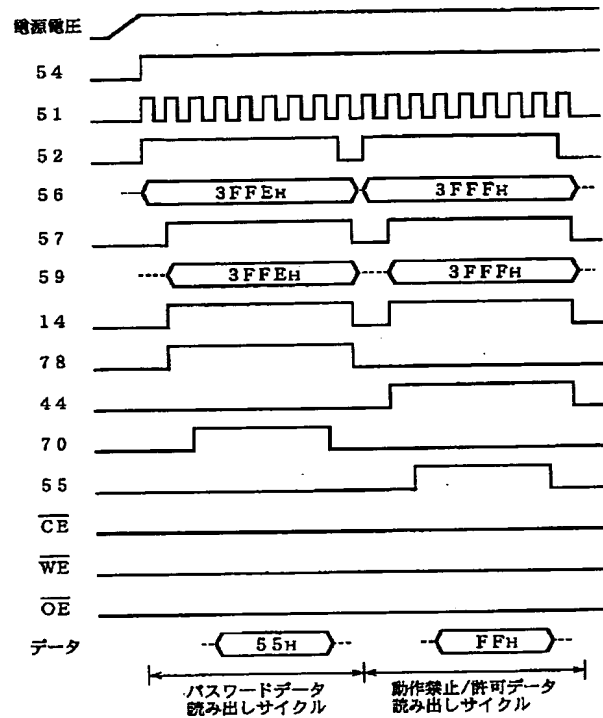
【図9】



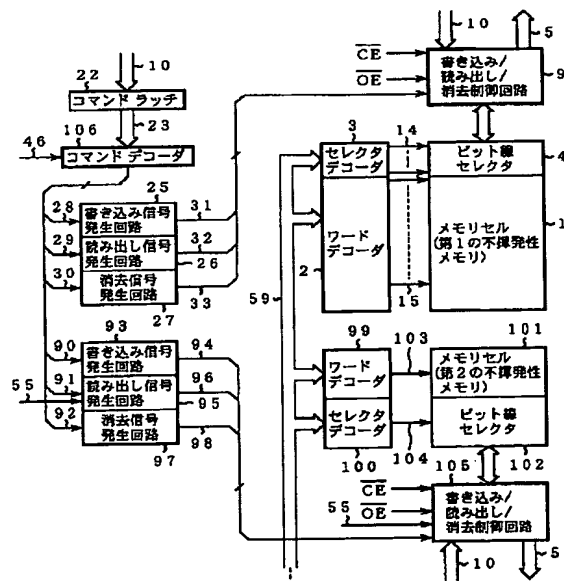
【図12】



【図10】

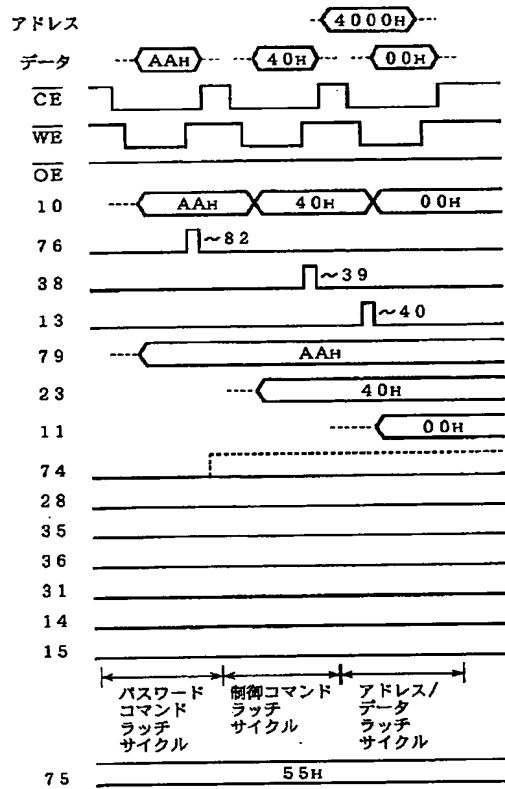


【図13】

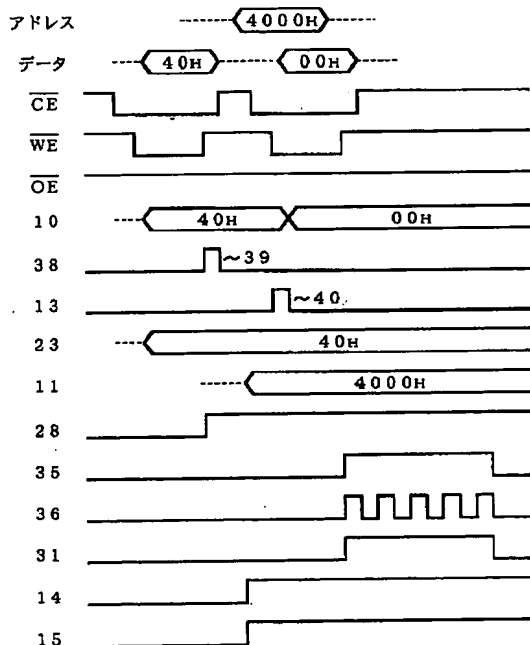


105: 書き込み/読み出し/消去制御回路
(第2の書き込み/読み出し/消去手段)

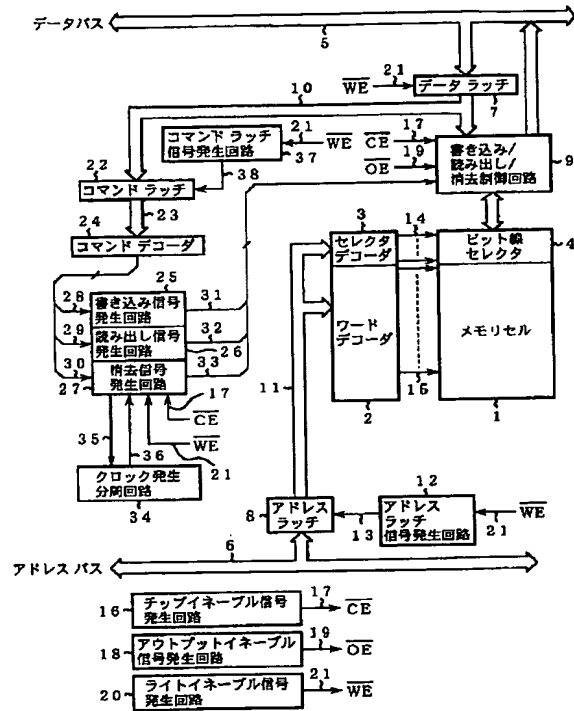
【図11】



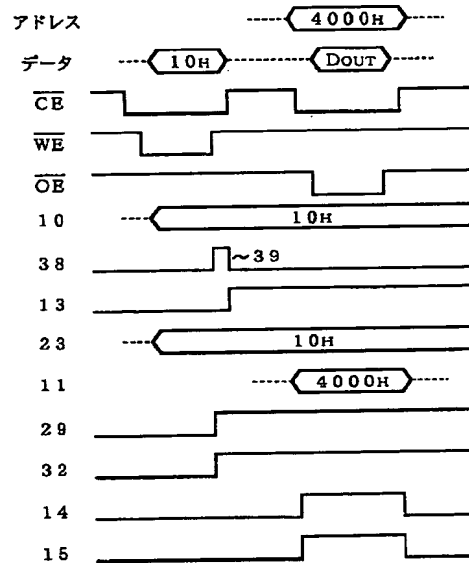
【図15】



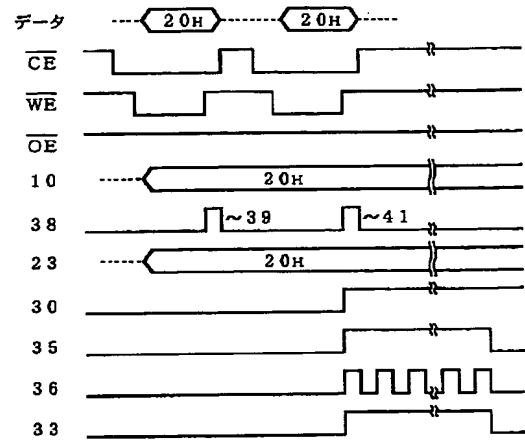
【図14】



【図16】



【図17】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.